

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010045773 A
(43)Date of publication of application: 05.06.2001

(21)Application number: 1019990049215
(22)Date of filing: 08.11.1999
(30)Priority:

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, CHEOL JUN
KIM, CHEOL SEONG
KOO, JA HEUM

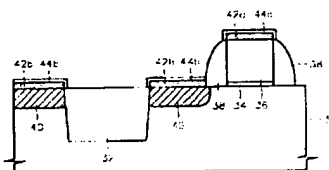
(51)Int. Cl. H01L 21/336

(54) METHOD FOR MANUFACTURING TRANSISTOR OF SEMICONDUCTOR DEVICE HAVING NICKEL SILICIDE LAYER

(57) Abstract:

PURPOSE: A method for manufacturing a transistor of a semiconductor device having a nickel silicide layer is provided to prevent a nickel silicide layer from being excessively grown by diffusion of silicon atoms, by making a silicon layer undoped with impurities and an oxide layer combine with nickel atoms.

CONSTITUTION: A transistor having a gate(36) and a source/drain (40) is formed. A buffer layer for the gate undoped with impurities and a buffer layer for the source/drain undoped with impurities are formed on the gate and the source/drain. An oxide layer(44a) for the gate and an oxide layer(44b) for the source/drain are formed on the buffer layer for the gate and the buffer for the source/drain, respectively. Nickel is deposited on the entire substrate to form a nickel layer. A heat treatment process is performed to form a nickel silicide layer for the gate on the gate and a nickel silicide layer for the source/drain on the source/drain. A remaining nickel layer is eliminated.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (00000000)
Notification date of refusal decision ()
Final disposal of an application (withdrawal)
Date of final disposal of an application (20041109)
Patent registration number ()
Date of registration ()
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()
Date of requesting trial against decision to refuse ()

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. 6.
H01L 21/336

(11) 공개번호 특2001-0045773
(43) 공개일자 2001년06월05일

(21) 출원번호 10-1999-0049215
(22) 출원일자 1999년11월08일

(71) 출원인 삼성전자 주식회사 윤종용
경기 수원시 팔달구 매탄3동 416호
(72) 발명자 구자홍
경기도성남시분당구구미동무지개마을건영아파트1004동1003호
김철성
경기도안양시만안구석수2동285-5403호
최철준
경기도고양시덕양구행신1동샘터마을301동1304호
(74) 대리인 이영필
정상빈
곽덕영

심사청구 : 없음

(54) 니켈 실리사이드막을 갖는 반도체 소자의 트랜지스터제조방법

요약

니켈 실리사이드막을 갖는 트랜지스터를 제조하는 방법에 대해 개시한다. 게이트 및 소스/드레인을 갖는 트랜지스터를 형성한다. 게이트 및 소스/드레인 상에 각각 불순물이 도우프되지 않은 게이트용 완충막과 불순물이 도우프되지 않은 소스/드레인용 완충막을 형성한다. 게이트용 완충막과 소스/드레인용 완충막 상에 각각 게이트용 산화막과 소스/드레인용 산화막을 형성한다. 기판 전면 상에 니켈을 증착하여 니켈막을 형성한 후, 열처리를 행함으로써 게이트 상에는 게이트용 니켈 실리사이드막을 형성하고, 소스/드레인 상에는 소스/드레인용 니켈 실리사이드막을 형성한다. 반응하지 않고 남은 니켈막을 제거한다. 본 발명에 따르면, 니켈 실리사이드막이 과다 성장되는 것을 방지할 수 있다.

대표도

도 4

명세서

도면의 간단한 설명

도 1은 게이트 상 표면과 소스/드레인 표면에 종래 방법으로 니켈 실리사이드막을 형성한 트랜지스터를 도시한 단면도로서, 니켈 실리사이드막은 게이트 스페이서 뿐만 아니라 필드 산화막 상부로까지 과다 성장되어 있다.

도 2 내지 도 4는 게이트 상 표면과 소스/드레인 표면에 니켈 실리사이드막을 형성하는 본 발명의 일 실시 예에 의한 트랜지스터 제조 방법을 공정순서별로 설명하기 위해 도시한 단면도들로서, 니켈 실리사이드막이 과다하게 성장하는 것을 방지한다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 니켈(Ni)을 이용하여 트랜지스터의 게이트 상 표면 및 소스/드레인 표면에 실리사이드막을 형성하는 니켈 실리사이드막을 갖는 반도체 소자의 트랜지스터 제조 방법에 관한 것이다.

반도체 소자의 집적도가 높아짐에 따라 소자의 크기가 급격히 감소하고 있다. 따라서, 신호의 지연 시간(delay time)을 감소시키기 위하여 비 저항(resistivity)이 낮은 물질을 널리 사용하고 있다. 특히, 트랜지스터의 게이트와 소스/드레인의 면 저항(sheet

이루어지고 있다. 트랜지스터의 게이트 상표면 및 소스/드레인 표면에 살리사이드막을 형성하기 위한 공정으로 살리사이드(salicide) 공정이 적용되고 있다. Best Available Copy

0.2 μ m 이하의 소자에서는 트랜지스터의 전기적 성능(performance)을 향상시키기 위하여 소스/드레인의 정선을 얇게(shallow junction) 형성하는 것과 동시에, 신호의 지연 시간 감소를 위하여 살리사이드 공정을 적용하여야 한다. 얇은 정선(shallow junction)에 살리사이드 공정을 적용할 경우, 정선 누설(junction leakage)이 취약해지는데, 이러한 정선 누설에 의한 트랜지스터의 특성 불량은 코발트(Co)를 사용하여 살리사이드 공정을 적용할 때 더욱 심각해진다.

따라서, 코발트(Co)를 사용한 살리사이드 공정에 비하여 실리콘(Si)의 소모(consume)량이 적으면서도 비저항이 작은 니켈(Ni)을 사용한 살리사이드 공정을 적용함으로써 낮은 면저항(Rs)과 양호한 정선 누설 특성을 동시에 갖는 셀로우 정선을 갖는 트랜지스터를 구현할 수 있다.

도 1은 게이트 상 표면과 소스/드레인 표면에 증착 방법으로 니켈 살리사이드막을 형성한 트랜지스터를 도시한 단면도로서, 니켈 살리사이드막은 게이트 스페이서 뿐만 아니라 필드 산화막 상부로까지 과다 성장되어 있다.

비활성 영역의 반도체 기판(10)에 트랜치형의 소자 분리막(12)을 형성한 후, 게이트 산화막(14), 게이트(16), 게이트 스페이서(18) 및 소스/드레인(20)을 갖는 트랜지스터를 형성한다. 이어서, 기판 전면 상에 니켈막을 증착한 후 열처리를 행함으로써 상기 게이트(16) 상표면 및 소스/드레인(20) 표면 각각에 게이트용 니켈 살리사이드막(22a)과 소스/드레인용 니켈 살리사이드막(22b)을 형성한다.

니켈 살리사이드 공정을 CMOS에 적용할 경우, 상기 열처리 공정 시, NMOS에서 니켈 살리사이드막이 과다 성장하는 문제가 발생한다. 즉, NMOS의 게이트 상표면의 니켈 살리사이드막이 과다 성장하여 게이트 스페이서(18) 상단부까지 확장되고 (A 참조), NMOS의 소스/드레인 표면의 니켈 살리사이드막이 과다 성장하여 필드 산화막(12) 상부로까지 확장된다 (B 참조). 이러한 과다 성장이 심화될 경우, 게이트와 소스 사이 및 게이트와 드레인 사이가 쇼트(short)되거나 활성 영역들 사이가 쇼트되는 문제가 유발하게 된다.

그런데, 언급한 니켈 살리사이드의 과다 성장은 PMOS나 불순물이 도우프되지 않은 실리콘(undoped silicon)에서는 전혀 발생하지 않고 있어, N형 도펀트(dopant)가, 살리사이드 공정 시, 실리콘 원자들의 확산(diffusion)을 활성화시키는 작용을 하는 것으로 판단된다.

발명이 이루고자하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는 니켈 살리사이드막의 과다 성장을 방지할 수 있는 니켈 살리사이드막을 갖는 트랜지스터의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 의한 트랜지스터 제조 방법은, 게이트 및 소스/드레인을 갖는 트랜지스터를 형성하는 단계와, 상기 게이트 및 소스/드레인 상에 각각 불순물이 도우프되지 않은 게이트용 완충막과 불순물이 도우프되지 않은 소스/드레인용 완충막을 형성하는 단계와, 상기 게이트용 완충막과 소스/드레인용 완충막 상에 각각 게이트용 산화막과 소스/드레인용 산화막을 형성하는 단계와, 기판 전면 상에 니켈을 증착하여 니켈막을 형성한 후, 열처리를 행함으로써 상기 게이트 상에는 게이트용 니켈 살리사이드막을 형성하고, 상기 소스/드레인 상에는 소스/드레인용 니켈 살리사이드막을 형성하는 단계와, 반응하지 않고 남은 니켈막을 제거하는 단계를 구비하는 것을 특징으로 한다.

상기 게이트용 완충막과 소스/드레인용 완충막은 실리콘, 게르마늄 또는 실리콘 게르마늄으로 구성되며, 상기 게이트용 산화막 및 소스/드레인용 산화막은 SPM, SC1 등과 같은 케미컬을 이용하여 형성한다.

이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세히 설명한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다.

도 2 내지 도 4는 게이트 상 표면과 소스/드레인 표면에 니켈 살리사이드막을 형성하는 본 발명의 일 실시예에 의한 트랜지스터 제조 방법을 공정순서별로 설명하기 위해 도시한 단면도들로서, 니켈 살리사이드막이 과다하게 성장하는 것을 방지한다. 도 2 내지 도 4에서는 NMOS 트랜지스터만을 도시하였으나, 본 발명은 NMOS만을 형성하는 공정뿐만 아니라 NMOS와 PMOS 모두를 구비하는 CMOS 형성 공정에도 적용할 수 있음은 물론이다.

본 발명의 일 실시예에서는 니켈 살리사이드막의 과다 성장 문제를 해결하기 위하여, 니켈을 사용한 살리사이드 공정 시, 니켈 증착 전 공정에서 실리콘 표면 (즉, 게이트 상표면 및 소스/드레인 표면)을 전처리 한다. 이때, 전처리 공정은 상기 게이트 상표면 및 소스/드레인 표면에만 선택적으로 불순물이 도우프되지 않은 실리콘막을 증착한 후 이 실리콘막 상에 산화막을 형성하는 공정으로

도착시킨다. 즉, 니켈 원자와 N형 도펀트가 도우프되지 않은 게이트용 산화막과 불순물이 도우프되지 않은 소스/드레인용 산화막이 결합하여 니켈 원자와 결함으로 N형 도펀트에 의해 실리콘 원자들의 확산이 활성화되는 일은 발생하지 않는다.

먼저, 도 2를 참조하면, 반도체 기판(30)의 비활성 영역에, 예컨대 셸로우 트렌치 아이솔레이션(Shallow Trench Isolation; STI) 방식으로 트렌치형 소자 분리막(32)을 형성하고, 게이트 산화막(34)을 성장시키고 다결정실리콘막과 같은 게이트 형성 물질층을 증착한 후 이를 패터닝하여 게이트(36)를 형성한다. 이어서, 기판 전면 상에 산화막을 형성한 후 이를 이방성 식각함으로써 상기 게이트(36)와 게이트 산화막(34) 측벽에 게이트 스페이서(38)를 형성하고, 예컨대 붕소(P)와 같이 N형 불순물 이온을 주입하여 상기 게이트(36) 양측의 반도체 기판(30) 표면 근방에 소스/드레인(40)을 형성한다.

도 3을 참조하면, 상기 게이트(36) 상 표면 및 소스/드레인 표면(40)에 불순물이 도우프되지 않은 실리콘(undoped Si)을 선택적으로 증착하여 상기 게이트(36) 상 표면에는 박막의 게이트용 실리콘막(42a)을 형성하고, 상기 소스/드레인(40) 표면에는 박막의 소스/드레인용 실리콘막(42b)을 형성한다. 이때, 상기 불순물이 도우프되지 않은 실리콘마 외에 불순물이 도우프되지 않은 게르마늄(Ge)막 또는 실리콘 게르마늄(SiGe)막을 형성할 수도 있으며, 상기 박막은 500 Å 이하의 두께이다.

도 4를 참조하면, SPM, SC1 등과 같은 케미컬(chemical)을 이용하여 상기 게이트용 실리콘막(42a)과 소스/드레인용 실리콘막(42b) 표면에 각각, 예컨대 50 Å 정도의 박막의 게이트용 산화막(44a)과 박막의 소스/드레인용 산화막(44b)을 형성한다.

도 5를 참조하면, 산화막이 형성되어 있는 기판 전면 상에 니켈(Ni)을 증착하여 니켈막(비도시)을 형성한 후 열처리를 행함으로써 상기 니켈막을 구성하는 니켈 원자와 산화막(44a, 44b) 및 실리콘막(42a, 42b)을 구성하는 실리콘 원자가 결합하여 상기 게이트(36) 상 표면에는 게이트용 니켈 실리사이드막(46a)을 형성하고, 상기 소스/드레인(40) 표면에는 소스/드레인용 니켈 실리사이드막(46b)을 형성한다. 이 후, 실리콘 원자와 결합하지 않고 니켈 상태로 남아 있는 니켈막(게이트 스페이서(38) 상부와 소자 분리막(32) 상부에 존재)을 습식 스트립(wet strip) 공정을 이용하여 제거한다.

발명의 효과

본 발명에 의한 니켈 실리사이드막을 갖는 트랜지스터 제조 방법에 의하면, 니켈을 사용한 살리사이드 공정 시, N형 도펀트에 의해 실리콘 원자들의 확산이 활성화되어 니켈 실리사이드가 과다하게 성장하는 것을 방지하기 위해, 불순물이 도우프되지 않은 실리콘 막이나 산화막과 니켈 원자가 결합하도록 함으로써 실리콘 원자의 확산에 의한 니켈 실리사이드막의 과다 성장을 방지할 수 있다.

(57)청구의 범위

청구항1

게이트 및 소스/드레인을 갖는 트랜지스터를 형성하는 단계;

상기 게이트 및 소스/드레인 상에 각각 불순물이 도우프되지 않은 게이트용 완충막과 불순물이 도우프되지 않은 소스/드레인용 완충막을 형성하는 단계;

상기 게이트용 완충막과 소스/드레인용 완충막 상에 각각 게이트용 산화막과 소스/드레인용 산화막을 형성하는 단계;

기판 전면 상에 니켈을 증착하여 니켈막을 형성한 후, 열처리를 행함으로써 상기 게이트 상에는 게이트용 니켈 실리사이드막을 형성하고, 상기 소스/드레인 상에는 소스/드레인용 니켈 실리사이드막을 형성하는 단계; 및

반응하지 않고 남은 니켈막을 제거하는 단계를 구비하는 것을 특징으로 하는 니켈 실리사이드막을 갖는 트랜지스터 제조 방법.

청구항2

제1항에 있어서,

상기 게이트용 완충막과 소스/드레인용 완충막은 실리콘, 게르마늄 또는 실리콘 게르마늄으로 구성된 것을 특징으로 하는 니켈 실리사이드막을 갖는 트랜지스터 제조 방법.

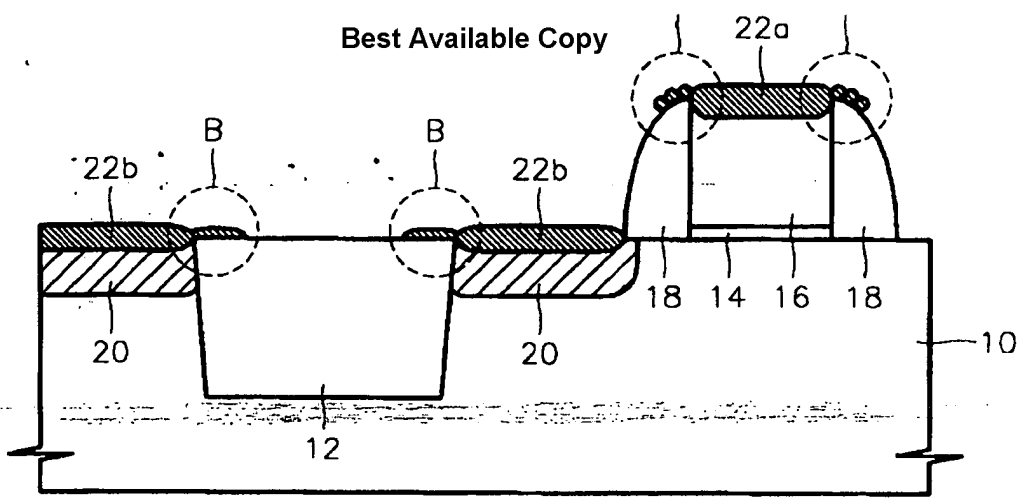
청구항3

제1항에 있어서,

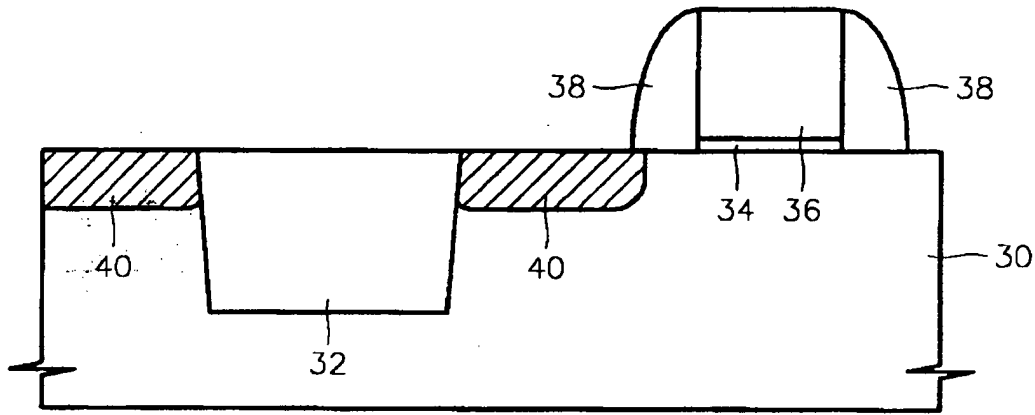
상기 게이트용 산화막 및 소스/드레인용 산화막은 SPM, SC1 등과 같은 케미컬을 이용하여 형성하는 것을 특징으로 하는 트랜지스터 제조 방법.

도면

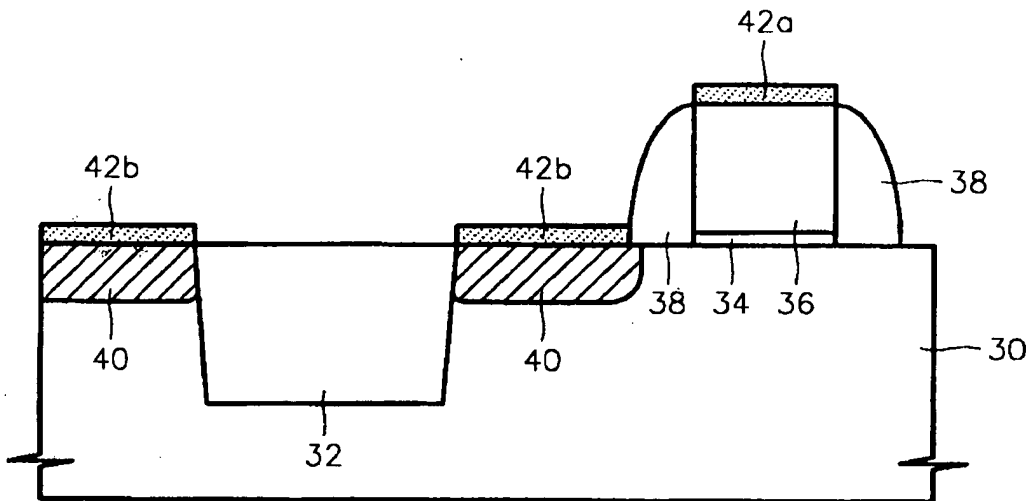
도면1



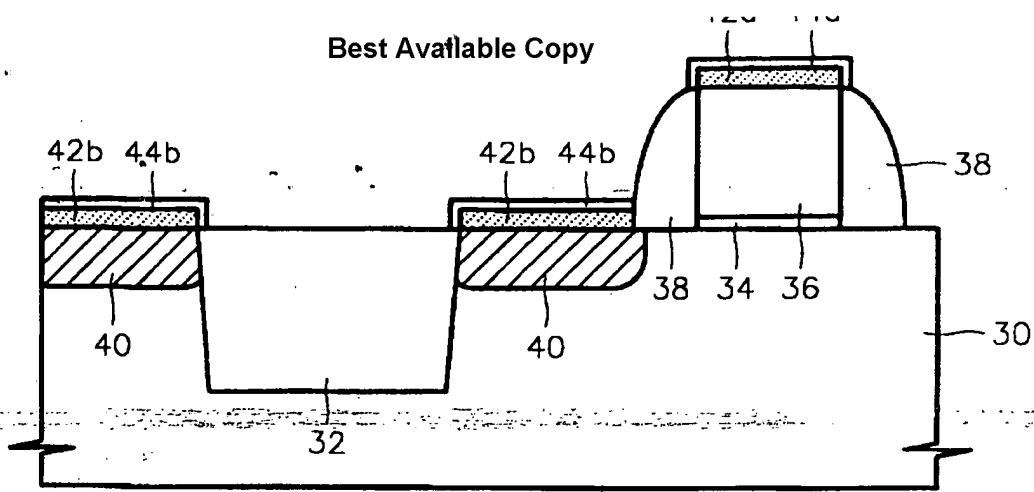
도면2



도면3



도면4



도면5

